

Docket No. 8733.472.00

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF: Jeong Hyun KIM et al.

GAU: Unknown

SERIAL NO: To be Assigned

EXAMINER: Unknown

FILED: June 29, 2001

FOR: Liquid Crystal Device and Method for Manufacturing the Same



#2  
18 SEP 01  
R. Tallent

REQUEST FOR PRIORITY

COMMISSIONER FOR PATENTS  
WASHINGTON, D.C. 20231

SIR:

- ☐ Full benefit of the filing date of U.S. Application Serial Number [], filed [], is claimed pursuant to the provisions of 35 U.S.C. §120.
- ☐ Full benefit of the filing date of U.S. Provisional Application Serial Number , filed , is claimed pursuant to the provisions of 35 U.S.C. §119(e).
- ☒ Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of 35 U.S.C. §119, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

| <u>COUNTRY</u> | <u>APPLICATION NUMBER</u> | <u>MONTH/DAY/YEAR</u> |
|----------------|---------------------------|-----------------------|
| KOREA          | 2000-84093                | December 28, 2000     |

Certified copies of the corresponding Convention Application(s)

- ☒ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee
- ☐ were filed in prior application Serial No. 08/832,980 filed April 4, 1997.
- ☐ were submitted to the International Bureau in PCT Application Number .  
Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.
- ☐ (A) Application Serial No.(s) were filed in prior application Serial No. filed ; and  
(B) Application Serial No.(s)
  - ☐ are submitted herewith
  - ☐ will be submitted prior to payment of the Final Fee

Respectfully Submitted,

LONG ALDRIDGE & NORMAN LLP

John M. Kelly  
Registration No. 53,920

Date: June 29, 2001

Sixth Floor , Suite 600  
701 Pennsylvania Avenue, N.W.  
Washington, D.C. 20004  
Tel. (202) 624-1200  
Fax. (202) 624-1298  
80155.1



# 대한민국 특허청

## KOREAN INTELLECTUAL PROPERTY OFFICE

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto  
is a true copy from the records of the Korean Intellectual  
Property Office.

출원 번호 :  
Application Number

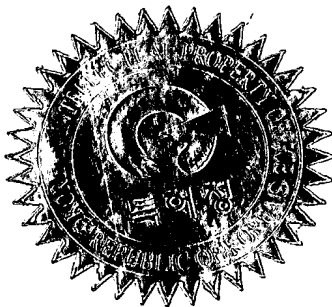
특허출원 2000년 제 84093 호

출원 년 월 일 :  
Date of Application

2000년 12월 28일

출원 인 :  
Applicant(s)

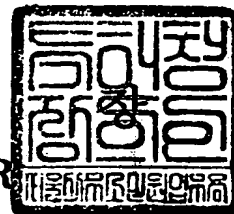
엘지.필립스 엘시디 주식회사



2001      년      03      월      27      일

특      허      청

COMMISSIONER



|            |   |
|------------|---|
| 【서류명】      | 특허출원서   |
| 【권리구분】     | 특허  |
| 【수신처】      | 특허청장  |
| 【참조번호】     | 0021  |
| 【제출일자】     | 2000.12.28  |
| 【국제특허분류】   | G02F  |
| 【발명의 명칭】   | 액정표시장치 및 그 제조방법   |
| 【발명의 영문명칭】 | Liquid crystal display device and method for manufacturing the same |
| 【출원인】      |   |
| 【명칭】       | 엘지 .필립스 엘시디 주식회사  |
| 【출원인코드】    | 1-1998-101865-5   |
| 【대리인】      |   |
| 【성명】       | 김용인   |
| 【대리인코드】    | 9-1998-000022-1   |
| 【포괄위임등록번호】 | 1999-054732-1   |
| 【대리인】      |   |
| 【성명】       | 심창섭   |
| 【대리인코드】    | 9-1998-000279-9   |
| 【포괄위임등록번호】 | 1999-054731-4   |
| 【발명자】      |   |
| 【성명의 국문표기】 | 서현식   |
| 【성명의 영문표기】 | SEO,Hyun Sik  |
| 【주민등록번호】   | 660510-1018319  |
| 【우편번호】     | 431-050   |
| 【주소】       | 경기도 안양시 동안구 비산동 308-3 효성상아빌라 3-202호                                 |
| 【국적】       | KR  |
| 【발명자】      |   |
| 【성명의 국문표기】 | 김정현   |
| 【성명의 영문표기】 | KIM,Jeong Hyun  |
| 【주민등록번호】   | 620620-1041516  |
| 【우편번호】     | 435-040   |
| 【주소】       | 경기도 군포시 산본동 1146 솔리아파트 721-1203                                     |
| 【국적】       | KR  |

**【심사청구】**

청구

**【취지】**

특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인

김용인 (인) 대리인

심창섭 (인)

**【수수료】****【기본출원료】**

20 면 29,000 원

**【가산출원료】**

3 면 3,000 원

**【우선권주장료】**

0 건 0 원

**【심사청구료】**

17 항 653,000 원

**【합계】**

685,000 원

**【첨부서류】**

1. 요약서·명세서(도면)\_1통

**【요약서】****【요약】**

본 발명은 화소전극을 데이터 및 게이트 배선용 메탈층에 데미지를 주지 않는 물질로 형성하여 수율 및 제품의 신뢰성을 향상시키기 위한 액정표시장치 및 그 제조방법을 제공하기 위한 것으로 본 발명의 액정표시장치는 데이터 신호를 선택적으로 스위칭하는 것에 의해 영상신호를 디스플레이 하는 평판형 디스플레이 장치에 있어서, 제 1 기판 및 제 2 기판과, 상기 제 1 기판 상에 배열된 복수의 스위칭 소자들과, 상기 각 스위칭 소자를 통해 데이터 신호가 전달되는 유기 화소전극들과, 상기 제 1 기판과 제 2 기판 사이에 봉입된 액정층을 포함하여 구성되며, 본 발명의 액정표시장치 제조방법은 제 1 기판과 제 2 기판을 준비하는 단계와, 상기 제 1 기판 상에 복수개의 박막트랜지스터를 형성하는 단계와, 상기 박막트랜지스터들을 포함한 전면에 보호막을 형성하는 단계와, 상기 보호막 상에 상기 각 박막트랜지스터의 일전극과 연결되는 유기 화소전극들을 형성하는 단계와, 상기 제 1 기판과 제 2 기판과의 사이에 액정층을 단계를 포함하여 이루어진다.

**【대표도】**

도 3

**【색인어】**

PEDOT, 유기 화소전극

**【명세서】****【발명의 명칭】**

액정표시장치 및 그 제조방법{Liquid crystal display device and method for manufacturing the same}

**【도면의 간단한 설명】**

도 1은 종래 기술에 따른 액정표시장치의 단면도

도 2a 내지 2e는 종래 기술에 따른 액정표시장치 제조방법을 설명하기 위한 공정단면도

도 3은 본 발명에 따른 액정표시장치의 단면도

도 4a 내지 4e는 본 발명에 따른 액정표시장치 제조방법을 설명하기 위한 공정단면도

도 5a 내지 5d는 본 발명의 실시예에 따른 유기 화소전극 형성방법을 설명하기 위한 공정단면도

도 6a 및 6b는 본 발명의 다른 실시예에 따른 유기 화소전극 형성방법을 설명하기 위한 공정단면도

도면의 주요부분에 대한 부호의 설명

41, 41a : 제 1, 제 2 기판

43a : 게이트 전극

43b : 반도체층

43d/43e : 소스/드레인 전극

45 : 보호막

47 : 접속홀

49 : PEDOT필름

49a : 유기 화소전극

**【발명의 상세한 설명】****【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

- <12> 본 발명은 디스플레이 장치에 관한 것으로 특히, 액정표시장치 및 그 제조방법에 관한 것이다.
- <13> 일반적으로, 액정표시장치는 두 장의 유리 기판과 그 사이에 봉입된 액정층으로 구성되며, TFT-LCD는 상기 액정층에 신호전압을 스위칭하는 스위칭소자로 TFT(Thin Film Transistor)를 이용하는 액정표시장치를 말한다.
- <14> 통상, TFT-LCD는 스위칭 소자인 박막트랜지스터가 형성되어 있는 TFT기판과, 칼라 필터(Color Filter)가 형성되어 있는 칼라필터 기판 사이에 액정을 주입하여, 상기 액정의 전기 광학적 특성을 이용하는 것에 의해 영상효과를 얻는 비발광소자이다.
- <15> 이와 같은 소비 전력이 낮고, 휴대성이 양호하여 이동이 편리하므로 현재까지 주류를 이루고 있는 CRT(Cathode Ray Tube)를 대체할 수 있는 차세대 디스플레이 소자로 각광 받고 있다.
- <16> 이하, 첨부된 도면을 참조하여 종래 기술에 따른 액정표시장치를 설명하면 다음과 같다.
- <17> 도 1은 종래 기술에 따른 액정표시장치의 단면도이다.
- <18> 도 1에 도시된 바와 같이, 크게 하부 유리 기판(21)과, 상부 유리 기판(21a), 그리고 그 사이에 봉입된 액정층(23)으로 구성된다.
- <19> 상기 하부 유리 기판(21) 상에는 복수개의 게이트 배선 및 데이터 배선이 교차 배

치되고, 각 게이트 배선과 데이터 배선의 교차 부위에는 박막트랜지스터(TFT:Thin Film Transistor)(TFT)가 배치된다.

<20>       상기 박막트랜지스터(TFT)는 하부 유리 기판(21) 상에 형성된 게이트 전극(25a)과, 상기 게이트 전극(25a)을 포함한 하부 유리 기판(21) 상에 형성된 게이트 절연층(25b)과, 상기 게이트 전극(25a) 상부의 게이트 절연층(25b) 상에 박막트랜지스터의 채널로 사용되는 반도체층(25c)과, 상기 반도체층(25c) 상에 형성된 소스/드레인 전극(25d/25e)으로 구성된다.

<21>       상기 박막트랜지스터의 드레인 전극(25e)에는 보호막(27)을 관통하여 화소전극(29)이 전기적으로 연결된다.

<22>       한편, 상기 상부 유리 기판(21a) 상에는 화소전극(29)을 제외한 영역으로 빛이 투과되는 것을 차단하기 위해 매트릭스 형태로 배치된 블랙 매트릭스층(31)과, 색상을 표현하기 위한 R(적), 녹(G), 청(B) 칼라필터 패턴(33)과, 상기 화소전극(31)과 함께 액정(23)에 전압을 인가하기 위한 공통전극(35)이 형성되며, 상기 공통전극(35)을 형성하기 전에 칼라필터 패턴(33)의 보호 및 평탄화를 위한 오버코트층(Overcoat layer)(미도시)을 형성할 수도 있다.

<23>       여기서, 박막트랜지스터 및 화소 전극이 형성된 TFT기판의 제조과정을 보다 상세하게 설명하면 다음과 같다.

<24>       도 2a 내지 2e는 종래 기술에 따른 TFT기판의 제조과정을 설명하기 위한 공정단면도이다.

<25>       도 2a에 도시된 바와 같이, 하부 유리 기판(21) 상에 Al, Cr, Mo, Cu, Al합금 등의



금속을 스퍼터링(Sputtering)법으로 형성한 후, 사진 식각하여 복수개의 게이트 배선 및 각 게이트 배선으로부터 연장되는 게이트 전극(25a)을 형성한다.

<26>      상기 게이트 전극(25a)을 포함한 하부 유리 기판(21) 상에 PECVD(Plasma Enhanced CVD)법으로 실리콘 산화물( $\text{Si}_x\text{O}$ ) 또는 실리콘 질화물( $\text{SiN}_x$ ) 등으로 이루어진 게이트 절연층(25b)을 형성한다.

<27>      도 2b에 도시된 바와 같이, 상기 게이트 절연층(25b)을 포함한 전면에 비정질 실리콘 등의 실리콘층을 형성한 후, 상기 게이트 전극(25a) 상의 게이트 절연층(25b) 상에만 남도록 패터닝하여 박막트랜지스터의 채널로 사용되는 반도체층(25c)을 형성한 후, 도 2c에 도시된 바와 같이, 상기 반도체층(25c)을 포함한 전면에 Al, Cr, Mo, Cu, Al합금 등의 금속을 스퍼터링(Sputtering)법으로 형성한 후, 사진 식각하여 상기 게이트 배선과 교차하는 복수개의 데이터 배선 및 소스/드레인 전극(25d/25e)을 형성한다.

<28>      이어, 도 2d에 도시된 바와 같이, 상기 소스/드레인 전극(25d/25e)를 포함한 전면에 실리콘 질화물, 실리콘 산화물 등으로 이루어지는 보호막(27)을 형성한 후, 상기 드레인 전극(25e)의 소정부위가 노출되도록 상기 보호막(27)을 선택적으로 제거하여 접속홀을 형성한 다음, 상기 접속홀을 포함한 전면에 스퍼터링법으로 ITO(Indium Tin Oxide)(28)를 형성한다.

<29>      마지막으로, 도 2e에 도시된 바와 같이, 상기 ITO(28)를  $\text{FeCl}_3$ 계 또는  $\text{HNO}_3+\text{HCl}$ 계 식각용액을 사용한 사진 식각 공정을 이용하여 선택적으로 제거하는 것에 의해 화소전극(28a)을 형성하면 종래 기술에 따른 TFT기판 제조공정이 완료된다.

<30> 이와 같이, TFT기판을 제작한 다음, 전술한 칼라필터 기판과 접합하고, 그 사이에 액정을 주입하면 종래 기술에 따른 액정표시장치 제조공정이 완료된다.

**【발명이 이루고자 하는 기술적 과제】**

<31> 전술한 종래 기술에서는 화소전극을 투명한 도전성 물질인 ITO로 형성한 후,  $\text{FeCl}_3$  계 또는  $\text{HNO}_3 + \text{HCl}$  계 식각 용액으로 식각하는 반면에, 발명에서는 화소전극의 물질을 ITO 대신에 유기물질을 사용한다.

<32> 이와 같은 본 발명의 목적은 화소전극을 데이터 및 게이트 배선용 메탈층에 데미지를 주지 않는 물질로 형성하여 수율 및 제품의 신뢰성을 향상시키는데 목적이 있다.

**【발명의 구성 및 작용】**

<33> 상기의 목적을 달성하기 위한 본 발명의 액정표시장치의 제조방법은 데이터 신호를 선택적으로 스위칭하는 것에 의해 영상신호를 디스플레이 하는 평판형 디스플레이 장치에 있어서, 제 1 기판 및 제 2 기판과, 상기 제 1 기판 상에 배열된 복수의 스위칭 소자들과, 상기 각 스위칭 소자를 통해 데이터 신호가 전달되는 유기 화소전극들과, 상기 제 1 기판과 제 2 기판 사이에 봉입된 액정층을 포함하여 구성되며, 본 발명의 액정표시장치 제조방법은 제 1 기판과 제 2 기판을 준비하는 단계와, 상기 제 1 기판 상에 복수개의 박막트랜지스터를 형성하는 단계와, 상기 박막트랜지스터들을 포함한 전면에 보호막을 형성하는 단계와, 상기 보호막 상에 상기 각 박막트랜지스터의 일전극과 연결되는 유기 화소전극들을 형성하는 단계와, 상기 제 1 기판과 제 2 기판과의 사이에 액정층을 단계를 포함하여 이루어진다.

<34> 이와 같은 본 발명의 액정표시장치 및 그 제조방법은 화소전극을 ITO가 아닌 유기

물질로 형성하는 것을 특징으로 한다.

<35> 화소전극을 ITO로 형성하는 경우에는 진공 챔버내에서 공정이 진행되어야 하고, 반드시 식각 공정이 필요한 반면에, 본 발명에서는 PEDOT를 전면에 코팅한 후, 화소전극이 형성될 부위에만 선택적으로 광을 조사하여 도전성을 갖는 유기 화소전극을 형성하기 때문에 식각 공정이 필요치 않다.

<36> 식각 공정이 필요치 않으므로 식각 용액이 하부의 금속에 데미지를 주는 일이 발생하지 않는다.

<37> 이하, 첨부된 도면을 참조하여 본 발명의 액정표시장치 및 그 제조방법을 설명하면 다음과 같다.

<38> 도 3은 본 발명에 따른 액정표시장치의 구성도이다.

<39> 도 3에 도시한 바와 같이, 제 1 기판(41)과, 상기 제 1 기판(41)과 대향하는 제 2 기판(41a)과, 상기 제 1 기판(41) 상에 형성된 스위칭 소자(100)와, 상기 스위칭 소자(100)를 포함한 전면에 형성된 보호막(45)과, 상기 보호막(45)을 관통하여 상기 스위칭 소자(100)의 일전극에 연결된 유기 화소전극(49a)과, 상기 제 1 기판(41)과 제 2 기판(41a) 사이에 형성된 액정층(200)으로 구성된다.

<40> 상기 스위칭 소자(100)는 a-Si:H TFT, Poly-Si TFT를 포함하며, 구조적으로는 BCE(Back channel Etch)형 TFT, 에치 스톱퍼(Etch stopper)형 TFT, 스테거드(Staggered)형 TFT를 포함한다.

<41> 상기 유기 화소전극(49a)의 물질은 유기 폴리머계 물질인 PEDOT(Polyethylenedioxythiophene)로서, 진공 챔버내에서 스퍼터링법으로 형성되는 ITO

와는 달리 일반적으로 널리 알려진 코팅 기술 또는 스크린 프린팅 기술로 형성한다.

<42>       상기 ITO는 스퍼터링법, 진공 증착법 등을 이용하기 때문에 생산성에 있어서 비효율적이며, 대면적으로 코팅하는데에는 부적절하다.

<43>       또한, 종래에는 ITO로 화소전극을 형성하기 위해서는  $\text{FeCl}_3$ 계 또는  $\text{HNO}_3+\text{HCl}$ 계 식각용액으로 TIO를 식각하게 되는데, 이때 상기 식각용액이 하부의 데이터 및 게이트 배선용 메탈층에 데미지(Damage)를 주는 반면에, 본 발명은 식각 공정이 필요없다. 즉, PEDOT는 노광된 부분은 도전성을 갖고 비노광 부분은 비도전성을 갖기 때문에, 한 번의 노광 공정에 의해서 화소전극이 형성되기 때문이다.

<44>       여기서, 미설명 부호 '55'는 블랙매트릭스층을 지시하고, '57'은 칼라필터 패턴을 지시하며, '59'는 공통전극을 지시한다.

<45>       이와 같은 본 발명의 액정표시장치 제조방법을 첨부된 도면을 참조하여 설명하면 다음과 같다.

<46>       도 4a 내지 4e는 본 발명의 액정표시장치 제조방법을 설명하기 위한 공정단면도이다.

<47>       도 4a에 도시한 바와 같이, 제 1 기판(41) 상에 Al, Mo, Cr, Al합금 등의 게이트 전극용 물질층을 스퍼터링(Sputtering)법으로 형성한 후, 사진 식각 공정을 이용하여 복수의 게이트 배선 및 게이트 전극(43a)을 형성한다.

<48>       상기 게이트 전극(43a)을 포함한 제 1 기판(41) 상에 PECVD(Plasma Enhanced CVD) 방법으로 실리콘 산화물( $\text{Si}_x\text{O}$ ) 또는 실리콘 질화물( $\text{SiN}_x$ ) 등으로 이루어진 게이트 절연층(43b)을 형성한다.

- <49> 도 4b에 도시된 바와 같이, 상기 게이트 절연층(43b)을 포함한 전면에 비정질 실리콘 등의 실리콘층을 형성한 다음, 상기 게이트 전극(43a) 상의 게이트 절연층(43b) 상에만 남도록 패터닝하여 박막트랜지스터의 채널로 사용되는 반도체층(43c)을 형성한다.
- <50> 이때, 상기 반도체층(43c)은 수소화 비정질 실리콘층(a-Si:H) 또는 폴리실리콘(Poly-Si)을 포함한다.
- <51> 이어, 도 4c에 도시된 바와 같이, 상기 반도체층(43c)을 포함한 전면에 Al, Cr, Mo, Cu, Al합금 등의 금속을 스퍼터링(Sputtering)법으로 형성한 후, 사진 식각하여 상기 게이트 배선과 교차하는 복수개의 데이터 배선 및 소스/드레인 전극(43d/43e)을 형성한다.
- <52> 이어, 도 4d에 도시된 바와 같이, 상기 소스/드레인 전극(43d/43e)을 포함한 전면에서 BCB(Benzocyclobutene), 아크릴(Acryl)과 같은 유기물질 또는 실리콘 질화물, 실리콘 산화물 등의 무기물질 중 어느 하나로 이루어지는 보호막(45)을 형성한 후, 상기 드레인 전극(43e)의 소정부위가 노출되도록 보호막(45)을 선택적으로 제거하여 접속홀(47)을 형성한다.
- <53> 이어, 도 4e에 도시한 바와 같이, 상기 접속홀(47)을 통해 드레인 전극과 연결되는 유기 폴리머(49)를 코팅한 후, 화소전극이 형성될 영역에만 광을 조사하여 유기 화소전극(49a)을 형성한다.
- <54> 이때, 상기 유기 화소전극(49a)의 투과율은 75%이상이며, 면저항이  $3k\Omega/??$  이하이며, 상기 보호막(45)을 유기물질로 사용할 경우, 상기 유기 화소전극(49a)을 형성하였을 때의 평탄도는 75%이상인 된다.

- <55> 이때, 상기 유기 화소전극(49a)은 이른 바, PEDOT(Polyethylenedioxythiophene)라고 불리는 유기 폴리머계 물질이며, 상기 PEDOT로 화소전극을 형성하는 방법을 보다 상세하게 설명하면 다음과 같다.
- <56> 상기 PEDOT는 스퍼터링법으로 형성되는 ITO(Indium Tin Oxide)와는 달리 일반적으로 널리 알려진 코팅(Coating) 기술 또는 스크린 프린팅(Screen printing) 기술로 형성한다.
- <57> 코팅 기술로 형성하는 경우, 도 5a에 도시한 바와 같이, 박막트랜지스터(TFT)를 포함한 전면에 보호막(45)을 형성한 후, 상기 박막트랜지스터(TFT)의 드레인 전극(43e)이 노출되도록 보호막(45)을 패터닝하여 접속홀(47)을 형성한다.
- <58> 도 5b에 도시한 바와 같이, 상기 접속홀(47)을 포함한 보호막(45) 상에 PEDOT 필름(49)을 코팅한 후, 도 5c에 도시한 바와 같이, 화소전극이 형성될 영역에 상응하는 PEDOT(49)필름이 노출되는 마스크(50)를 이용하여 노광한다.
- <59> 그 결과, 도 5d에 도시한 바와 같이, 광이 조사되는 부분만 선택적으로 도전성을 띠게 되며, 상기 도전성을 띠는 부분의 PEDOT필름(49)을 유기 화소전극(49a)으로 사용한다.
- <60> 반면에, 스크린 프린팅 기술로 형성하는 경우에는 도 6a에 도시한 바와 같이, 박막트랜지스터(TFT)를 포함한 전면에 보호막(45)을 형성한 후, 상기 박막트랜지스터(TFT)의 드레인 전극(43e)이 노출되도록 보호막(45)을 패터닝하여 접속홀(47)을 형성한다.
- <61> 이후, 도 6b에 도시한 바와 같이, 화소 전극이 형성될 부분에만 상기 PEDOT필름을 스크린 프린팅(Screen printing)하는 것에 의해 유기 화소전극(49a)을 형성한다.

- <62>        전술한 종래 기술에서는 ITO로 화소전극을 형성하기 때문에 기판 전면에서 형성된 ITO를 패터닝하여 화소전극을 형성하기 위해서는 사진 식각 공정이 요구되는 반면에, 본 발명에서는 노광 공정 또는 스크린 프린팅에 의해서 유기 화소전극(49a)이 형성되므로 공정이 간략화될 뿐 아니라 식각 공정이 없으므로 하부층에 데미지를 줄 이유가 없다.
- <63>        또한, 종래 기술을 포함하여 통상적으로 드레인 전극은 알루미늄을 사용하는데, 알루미늄으로 구성된 드레인 전극과 ITO로 구성된 화소전극이 접촉하게 되면, 그 계면에 산화알루미늄( $Al_2O_3$ )이 생성되어 접촉저항을 증가시키는 문제를 가지고 있다.
- <64>        나아가, 상기 알루미늄과 ITO간의 접촉저항을 개선시키기 위해 알루미늄 대신에 크롬(Cr)을 사용한다고 하더라도 ITO와의 접착을 위한 보호막 식각 공정시, 크롬층의 표면이 식각 가스에 의해 손상을 받기 때문에 이 방법 역시 ITO와의 접착력(adhesion)이 불량하여 접촉 저항이 증가하게 된다.
- <65>        하지만, 본 발명의 유기 화소전극(49a)은 금속과 접촉되더라도 금속산화막이 형성되지 않고 접착력이 우수하기 때문에 ITO를 화소전극으로 사용하는 것에 비해 접촉저항을 현저하게 감소시킬 수가 있다.

#### 【발명의 효과】

- <66>        이상 상술한 바와 같이, 본 발명의 액정표시장치 및 그 제조방법은 다음과 같은 효과가 있다.
- <67>        첫째, 화소전극을 ITO로 형성하지 않고 PEDOT필름으로 형성하기 때문에 식각 공정이 필요치 않으므로 공정을 보다 간소화할 수 있다.
- <68>        둘째, 식각 공정이 필요치 않으므로 하부의 게이트 및 데이터 배선이 식각용액에

의해 데미지를 받는 일이 발생하지 않아 소자의 신뢰성을 향상시킬 수 있다.

<69> 셋째, 진공 챔버내에서 ITO를 형성하는 것과는 달리 일반적인 코팅 기술 및 스크린 프린팅 기술로 유기 화소전극을 형성하기 때문에 진공 챔버가 필요치 않아 장비 투자 비용을 절감할 수 있으며, 유기 화소전극의 평탄화가 가능하여 균일한 셀 갭(Cell gap)을 유지할 수 있다.



**【특허청구범위】****【청구항 1】**

데이터 신호를 선택적으로 스위칭하는 것에 의해 영상신호를 디스플레이 하는 평판형 디스플레이 장치에 있어서,

제 1 기판 및 제 2 기판;

상기 제 1 기판 상에 배열된 복수의 스위칭 소자들;

상기 각 스위칭 소자를 통해 데이터 신호가 전달되는 유기 화소전극들;

상기 제 1 기판과 제 2 기판 사이에 봉입된 액정층을 포함하여 구성되는 것을 특징으로 하는 액정표시장치.

**【청구항 2】**

제 1 항에 있어서, 상기 유기 화소전극의 물질은 유기 폴리머인 것을 특징으로 하는 액정표시장치.

**【청구항 3】**

제 2 항에 있어서, 상기 유기 폴리머는 PEDOT(Polyethylenedioxythiophene)인 것을 특징하는 액정표시장치.

**【청구항 4】**

제 1 항에 있어서, 상기 스위칭 소자는 a-Si:H TFT, Poly-Si TFT를 포함하는 것을 특징으로 하는 액정표시장치.

**【청구항 5】**

제 1 항에 있어서, 상기 스위칭 소자는 BCE(Back channel Etch)형 TFT, 에치 스토

퍼(Etch stopper)형 TFT, 스테거드(Staggered)형 TFT를 포함하는 것을 특징으로 하는 액정표시장치.

**【청구항 6】**

제 1 항에 있어서, 상기 스위칭 소자는,  
절연기판 상에 형성된 게이트 전극과,  
상기 게이트 전극 상에 형성된 게이트 절연층과,  
상기 게이트 전극 상부의 게이트 절연층 상에 형성된 반도체층과,  
상기 반도체층 상에 형성된 소스/드레인 전극으로 구성되는 것을 특징으로 하는 액정표시장치.

**【청구항 7】**

제 6 항에 있어서, 상기 드레인 전극을 제외한 절연 기판 전면에 보호막이 더 구비되는 것을 특징으로 하는 액정표시장치.

**【청구항 8】**

제 1 항에 있어서, 상기 유기 화소전극은 상기 드레인 전극과 전기적으로 연결되는 것을 특징으로 하는 액정표시장치.

**【청구항 9】**

제 7 항에 있어서, 상기 보호막은 유기막 또는 무기막 중 어느 하나인 것을 특징으로 하는 액정표시장치.

**【청구항 10】**

제 10 항에 있어서, 상기 유기막은 BCB, 아크릴(Acryl)을 포함하는 것을 특징으로 하는 액정표시장치.

**【청구항 11】**

제 1 기판과 제 2 기판을 준비하는 단계;

상기 제 1 기판 상에 복수개의 박막트랜지스터를 형성하는 단계;

상기 박막트랜지스터들을 포함한 전면에 보호막을 형성하는 단계;

상기 보호막 상에 상기 각 박막트랜지스터의 일전극과 연결되는 유기 화소전극들을 형성하는 단계;

상기 제 1 기판과 제 2 기판과의 사이에 액정층을 단계를 포함하여 이루어지는 것을 특징으로 액정표시장치 제조방법.

**【청구항 12】**

제 10 항에 있어서, 상기 박막트랜지스터를 형성하는 단계는,

상기 제 1 기판 상에 게이트 전극을 형성하는 단계와,

상기 게이트 전극을 포함한 전면에 게이트 절연층을 형성하는 단계와,

상기 게이트 전극 상부의 상기 게이트 절연층 상에 반도체층을 형성하는 단계와,

상기 반도체층 상에 소스 및 드레인 전극을 형성하는 단계를 포함하여 이루어지는 것을 특징으로 하는 액정표시장치 제조방법.

**【청구항 13】**

제 12 항에 있어서, 상기 소스 및 드레인 전극을 형성한 후, 전면에 보호막을 형성

하고, 상기 드레인 전극이 노출되도록 상기 보호막을 패터닝하는 단계를 더 포함하여 이루어지는 것을 특징으로 하는 액정표시장치 제조방법.

**【청구항 14】**

제 11 항에 있어서, 상기 유기 화소전극을 형성하는 단계는,  
상기 보호막을 포함한 전면에 유기 폴리머를 코팅하는 단계와,  
상기 유기 폴리머를 선택적으로 노광하여 노광된 부분이 도전성을 갖도록 하는 단계를 포함하여 이루어지는 것을 특징으로 하는 액정표시장치 제조방법.

**【청구항 15】**

제 11 항에 있어서, 상기 유기 화소전극은 스크린 프린팅하여 형성하는 것을 포함함을 특징으로 하는 액정표시장치 제조방법.

**【청구항 16】**

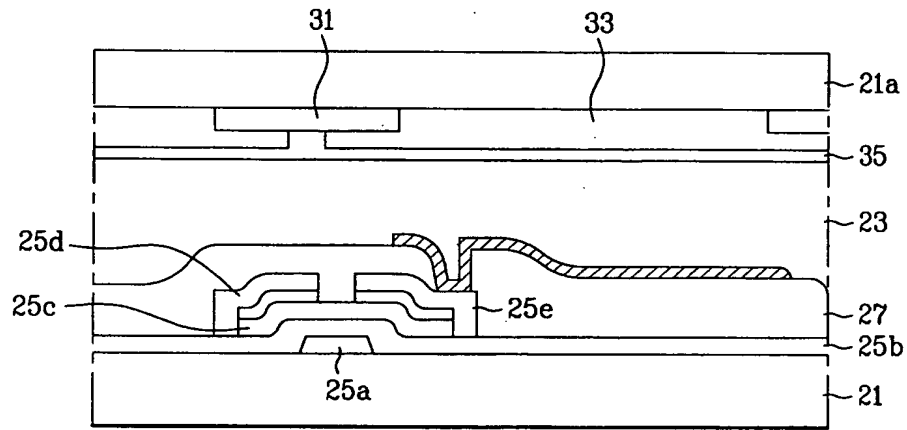
제 13 항에 있어서, 상기 보호막은 유기막 또는 무기막 중 어느 하나로 형성하는 것을 특징으로 하는 액정표시장치 제조방법.

**【청구항 17】**

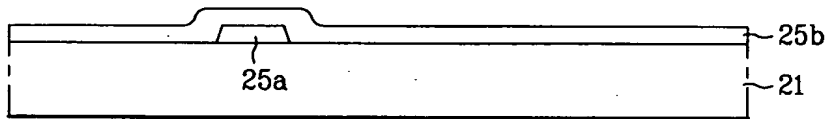
제 16 항에 있어서, 상기 유기막은 BCB, 아크릴계 수지를 포함하고, 상기 무기막은 실리콘 질화막, 실리콘 산화막을 포함하는 것을 특징으로 하는 액정표시장치 제조방법.

## 【도면】

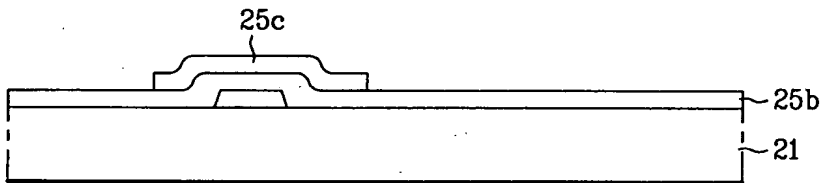
【도 1】



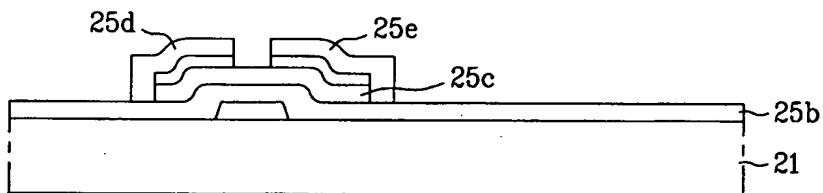
【도 2a】



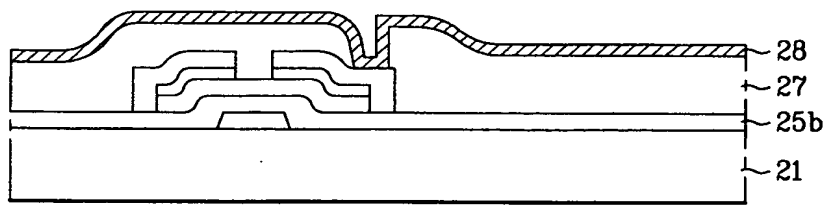
【도 2b】



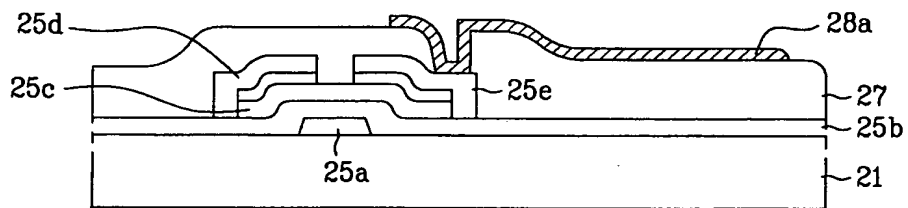
【도 2c】



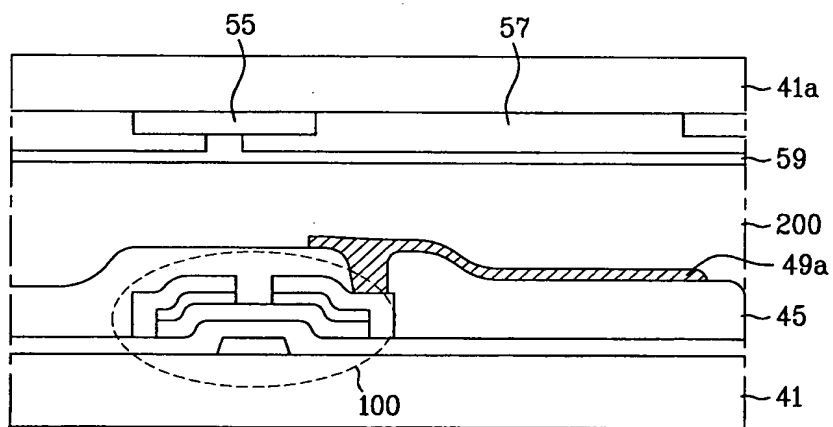
【図 2d】



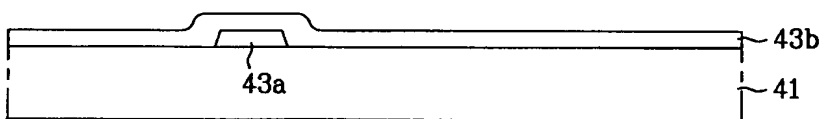
【図 2e】



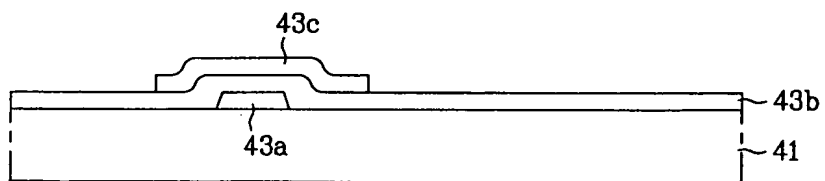
【図 3】



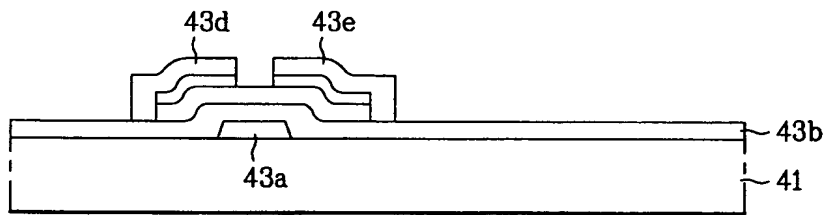
【図 4a】



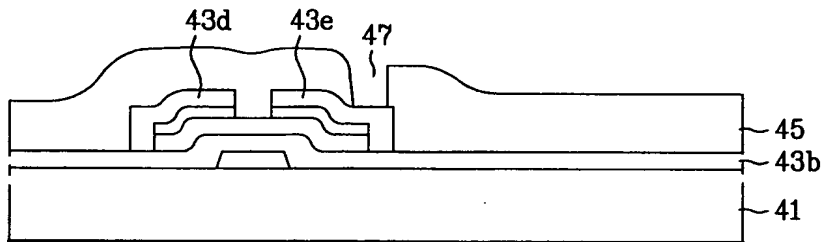
【図 4b】



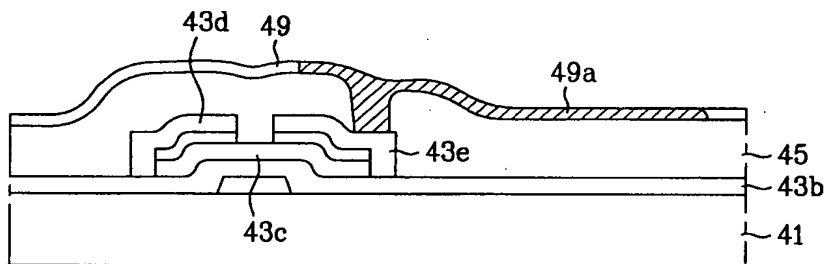
【図 4c】



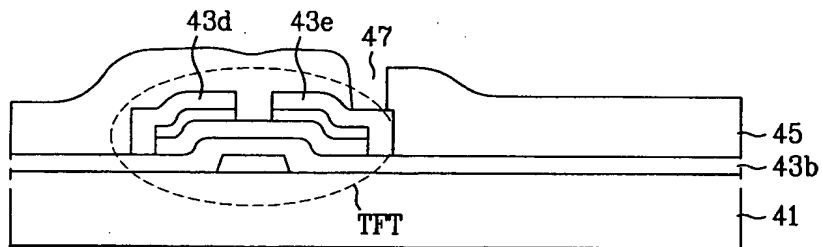
【図 4d】



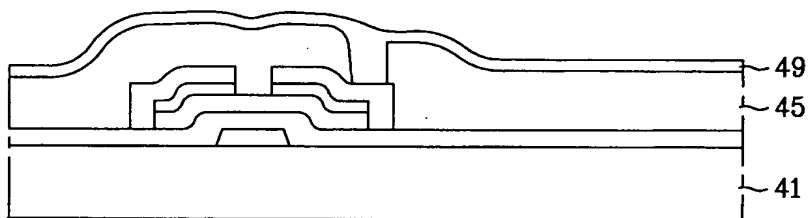
【図 4e】



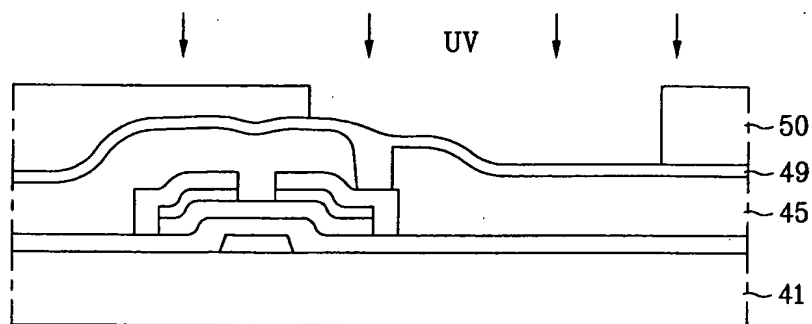
【図 5a】



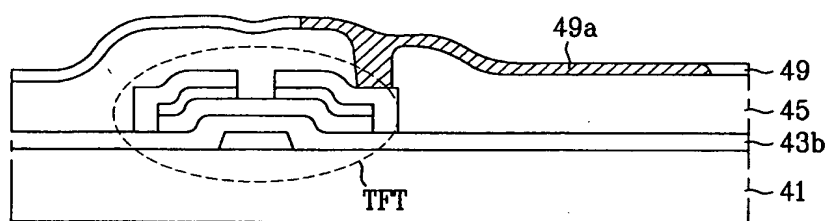
【図 5b】



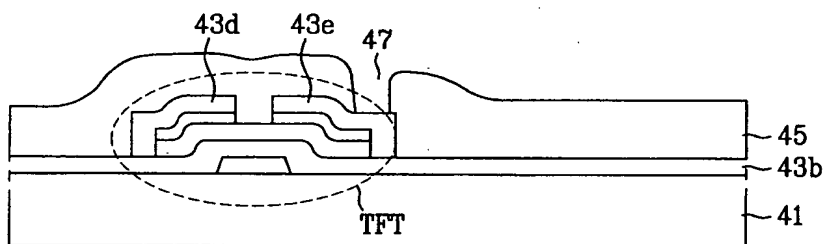
【図 5c】



【図 5d】



【図 6a】



【図 6b】

